



IFW

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

		Application Number	10/710,016
		Filing Date	06/13/2004
		First Named Inventor	Chao-Ping Chuang
		Art Unit	
		Examiner Name	
Total Number of Pages in This Submission	3	Attorney Docket Number	AMIP0026USA

ENCLOSURES (Check all that apply)

<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____ <input type="checkbox"/> Remarks	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please Identify below):
--	--	--

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	
Date	06/13/2004

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name		
Signature	Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT **(\$)** 0.00

Complete if Known

Application Number	10/710,016
Filing Date	06/13/2004
First Named Inventor	Chao-Ping Chuang
Examiner Name	
Art Unit	
Attorney Docket No.	AMIP0026USA

METHOD OF PAYMENT (check all that apply)

Check Credit card Money Order Other None

 Deposit Account:

Deposit Account Number
Deposit Account Name

50-3105

North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

Charge fee(s) indicated below Credit any overpayments
 Charge any additional fee(s) or any underpayment of fee(s)
 Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION**1. BASIC FILING FEE**

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description	Fee Paid
1001 770	2001 385	Utility filing fee	
1002 340	2002 170	Design filing fee	
1003 530	2003 265	Plant filing fee	
1004 770	2004 385	Reissue filing fee	
1005 160	2005 80	Provisional filing fee	
SUBTOTAL (1)		(\$) 0.00	

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims	Independent Claims	Multiple Dependent	Extra Claims	Fee from below	Fee Paid
			-20** =	X	=
			-3** =	X	=

Large Entity Fee Code (\$)	Small Entity Fee Code (\$)	Fee Description
1202 18	2202 9	Claims in excess of 20
1201 86	2201 43	Independent claims in excess of 3
1203 290	2203 145	Multiple dependent claim, if not paid
1204 86	2204 43	** Reissue independent claims over original patent
1205 18	2205 9	** Reissue claims in excess of 20 and over original patent
SUBTOTAL (2)		(\$) 0.00

**or number previously paid, if greater; For Reissues, see above

3. ADDITIONAL FEES

Large Entity	Small Entity	Fee Description	Fee Paid
Fee Code (\$)	Fee Code (\$)		
1051 130	2051 65	Surcharge - late filing fee or oath	
1052 50	2052 25	Surcharge - late provisional filing fee or cover sheet	
1053 130	1053 130	Non-English specification	
1812 2,520	1812 2,520	For filing a request for ex parte reexamination	
1804 920*	1804 920*	Requesting publication of SIR prior to Examiner action	
1805 1,840*	1805 1,840*	Requesting publication of SIR after Examiner action	
1251 110	2251 55	Extension for reply within first month	
1252 420	2252 210	Extension for reply within second month	
1253 950	2253 475	Extension for reply within third month	
1254 1,480	2254 740	Extension for reply within fourth month	
1255 2,010	2255 1,005	Extension for reply within fifth month	
1401 330	2401 165	Notice of Appeal	
1402 330	2402 165	Filing a brief in support of an appeal	
1403 290	2403 145	Request for oral hearing	
1451 1,510	1451 1,510	Petition to institute a public use proceeding	
1452 110	2452 55	Petition to revive - unavoidable	
1453 1,330	2453 665	Petition to revive - unintentional	
1501 1,330	2501 665	Utility issue fee (or reissue)	
1502 480	2502 240	Design issue fee	
1503 640	2503 320	Plant issue fee	
1460 130	1460 130	Petitions to the Commissioner	
1807 50	1807 50	Processing fee under 37 CFR 1.17(q)	
1806 180	1806 180	Submission of Information Disclosure Stmt	
8021 40	8021 40	Recording each patent assignment per property (times number of properties)	
1809 770	2809 385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810 770	2810 385	For each additional invention to be examined (37 CFR 1.129(b))	
1801 770	2801 385	Request for Continued Examination (RCE)	
1802 900	1802 900	Request for expedited examination of a design application	
Other fee (specify) _____			
*Reduced by Basic Filing Fee Paid		SUBTOTAL (3)	(\$) 0.00

SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature			Date	10/25/2004	

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Notwithstanding first use, the use of this instrument in the U.S. may be subject to
the payment of a fee.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION -- Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
093106529	Taiwan R.O.C	03/11/2004	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



AM1026

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2004 年 03 月 11 日

Application Date

申 請 案 號：093106529

Application No.

申 請 人：聯笙電子股份有限公司

Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2004 年 6 月 11 日
Issue Date

發文字號：
Serial No.

09320511470

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

壹、發明名稱：(中文/英文)

存取電腦系統中低腳位數記憶體或韌體記憶體的方法與系統/
METHOD AND RELATED SYSTEM FOR ACCESSING LPC MEMORY OR
FIRMWARE MEMORY IN A COMPUTER SYSTEM

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

聯笙電子股份有限公司/AMIC TECHNOLOGY CORPORATION

代表人：(中文/英文) 陳焜錄/CHEN, KUN-LUH

住居所或營業所地址：(中文/英文)

新竹科學工業園區力行六路五號六樓/新竹科學工業園區力行六路五
號六樓/ 6F, No. 5, Li-Hsing 6 Rd., Science-Based Industrial Park,
Hsin-Chu City 300, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國/TW

參、發明人：(共 2 人)

姓名：(中文/英文)

1. 莊肇評/ CHUANG, CHAO-PING
2. 謙壬槿/ CHAN, JEN-CHIN

住居所地址：(中文/英文)

1. 台中市北屯區太原路三段三七六巷十一號/No. 11, Lane 376, Sec.
3, Tai-Yuan Rd., Bei-Tun District, Tai-Chung City 406, Taiwan,
R.O.C.

2. 新竹縣竹東鎮上館里十三鄰中豐路二段一九七號/No. 197, Sec. 2,
Chong-Feng Rd., Community 13, Shang-Guan Li, Chu-Dong Town,
Hsin-Chu Hsien

國 稷：(中文/英文)

1. 中華民國/TW
2. 中華民國/TW

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：
【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

- 1.
- 2.
- 3.
- 4.
- 5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要：

本發明係提供一種存取電腦系統中低腳位數記憶體及韌體記憶體的方法與系統。該方法包含接受一輸入訊號來判斷針對該低腳位數記憶體或該韌體記憶體做存取，當記憶體選取完成後，從該輸入訊號中接收該記憶體欲存取的位址，接著，再由該輸入訊號中一用來判斷該被選取記憶體做讀出或寫入的數位訊號來決定對該記憶體的讀寫，判斷完畢後做資料讀寫的動作完成對該記憶體的資料存取。

陸、英文發明摘要：

A method and related system for accessing Low Pin Count (LPC) memory or firmware memory includes selecting an LPC memory or a firmware memory according to an input signal, recording an address of the selected memory, determining weather to read or write data according to the input signal, and accessing data accordingly.

柒、指定代表圖：

(一) 本案指定代表圖為：第（ 七 ）圖。

(二) 本代表圖之元件代表符號簡單說明：

30 電腦系統

32 位址儲存單元

34 介面電路

36 旗標讀取單元

38 低腳位數記憶體

40 勅體記憶體

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

玖、發明說明：

【發明所屬之技術領域】

本發明提供一種存取記憶體的方法與系統，尤指一種具有存取電腦系統中低腳位數記憶體或韌體記憶體的方法與系統。

【先前技術】

在典型的微處理器與電腦系統中，常需整合不同功能之電路構築方塊來實現電腦系統複雜、多樣化的功能。尤其是現代電腦系統之發展還需兼顧低功率消耗、低成本，也要減少電路構築方塊佈局所需的面積，所以將電腦上不同規格系統整合於同一個晶片上，是現代資訊廠商研發的重點之一。

請參考圖一。圖一即為一先前電腦系統 10 之功能方塊圖。電腦系統 10 中設有一中央處理器 12、一揮發性的記憶體 18 及一晶片組 14（像是南北橋晶片）；而晶片組 14 則透過一匯流排 16 連接於一儲存裝置 20 及週邊控制器 22A 等等。中央處理器 12 用來主控電腦系統 10 之操作，記憶體 18 用來暫存中央處理器 12 運作期間所需的資料、程式，儲存裝置 20 可以是非揮發性的儲存裝置，像是快閃記憶體，用來支援電腦系統 10 之非揮發性記憶體資源。舉例來說，儲存裝置 20 可以是一快閃記憶體之基本輸出入系統 (BIOS)，以儲存電腦系統 10 開機時所需執行的程式（像是各種檢查流程及運作參數之設定）。週邊控制器 22A 則用來控制週邊裝置 22B（像是鍵盤、滑鼠等的輸入裝置）。經由晶片組 14、匯流排 16 的連接，儲存裝置 20、週邊控制器 22A 就能和中央處理器 12 相互交換資料，達成電腦系統 10 的整體功能。

如圖一所示，匯流排 16 是晶片組 14 與儲存裝置 20 等電路構築方塊間重要的資料交換管道。在現代的電腦系統中，都希望能以較少的配線數來實現匯流排 16。若匯流排 16 之配線數較少，晶片組 14、儲存裝置 20、週邊控制器 22A 都僅需要較少的腳位 (pin) 就能連接於匯流排 16，可有效減少晶片組 14、儲存裝置 20 等之佈局面積及功率消耗。舉例來說，由資訊廠商英特爾 (intel) 所制訂的低腳位數 (low-pin count, LPC) 匯流排規格，是為了在 PC 上把 ISA 取消而制定的一個新規格。其目的是把非常慢速的 ISA 匯流排取消。而為了讓一些原本在 ISA 上跑的硬體在沒有 ISA 的機器上能夠運作所以制定了此一規格。例如一般鍵盤，滑鼠，印表機等慢速週邊即可用支援低腳位數規格。低腳位數規格是在 PCI 33MHz 上運作不像 ISA 腳位多，插槽大，而且只在 8MHz 下運作。所以在桌上型電腦或筆記型電腦上都有很多的優點。

以目前的電腦系統來說，可將記憶體的部分分成兩種規格，一種是如前面所述支援低腳位數匯流排規格的記憶體，在此簡稱作「低腳位數記憶體」。另一種是「韌體記憶體」，比如說是儲存電腦系統開機時所需執行的程式之快閃記憶體的基本輸出入系統 (BIOS)。對於此兩種記憶體的讀出或寫入在習知技術上是使用兩套不同的介面控制。第一套介面是用來溝通匯流排和低腳位數記憶體，並控制低腳位數記憶體的存取。第二套介面是用來溝通匯流排和韌體記憶體，並控制韌體記憶體的存取。就習知技術而言，控制低腳位數記憶體寫入資料的方法是一連串包含決定低腳位數記憶體存放位置，於低腳位數記憶體寫入資料的流程，而控制低腳位數記憶體讀出資料的方法是一連串包含決定低腳位數記憶體讀出位置，於低腳位數記憶體讀出資料的流程。相似地，控制韌體記憶體的寫入與讀出的方法也是一連串的動作流程。在下述說明中將會描述低腳位數

記憶體和韌體記憶體讀出寫入的方法與流程。

請參考圖二。圖二是一個控制韌體記憶體讀出的流程圖。在步驟 100 控制介面在”重設”流程中先做一個重設的動作，將先前所有指令清除，表示一個新動作的開始並避免受到之前命令影響。在步驟 200 中，控制介面接受輸入訊號，判斷目前的動作是否將執行讀出的動作。接下來的步驟 300 必須在許多韌體記憶體中選取一個韌體記憶體做讀出，這是透過一個叫做「識別選取」的輸入訊號來判斷。如果以上的步驟確認了控制介面所接受的輸入訊號，是在某一韌體記憶體中做讀出動作，則開始進行步驟 400。在步驟 400 中，從輸入訊號接受並門鎖住(latch)韌體記憶體所欲讀出的位置。步驟 500 將執行一個緩衝的動作，在這個緩衝的過程主要是做控制權的交換和控制權的確定。步驟 600 將從步驟 400 中韌體記憶體的位置讀出資料，最後再經由進行控制權交換的步驟 700 緩衝動作結束一個韌體記憶體讀出資料的循環。

請參考圖三。圖三是一個控制韌體記憶體寫入的流程圖。步驟 120 一開始控制介面一樣在”重設”流程中執行一個重設的動作。步驟 220 中控制介面接受輸入訊號，判斷目前的動作是否將執行寫入的動作。步驟 320 一樣透過一個「識別選取」的輸入訊號來選取一個韌體記憶體做寫入。在步驟 420 中，從輸入訊號接受並門鎖住(latch)韌體記憶體所欲寫入的位置。在圖二中接下來的步驟是先做一個緩衝的動作再讀出資料，但在此，步驟 520 馬上接收輸入訊號的訊息，將資料寫入韌體記憶體。最後一個步驟 620 執行緩衝動作，以執行控制權的交換和控制權的確定，並結束一個韌體記憶體寫入資料的循環。

請參考圖四。圖四是一個控制低腳位數記憶體讀出的流程

圖。步驟 140 執行「重設」動作以清除之前的指令。步驟 240 接受輸入訊號來確定接下來的動作將要針對低腳位數記憶體做存取。步驟 340 判斷接下來的動作是要對低腳位數記憶體執行讀取還是寫入的動作，當然，在圖四中只討論讀取的部分。步驟 440 從輸入訊號接受並門鎖住(latch) 低腳位數記憶體欲讀出的位置。步驟 540 是執行如同圖二的緩衝動作。步驟 640 將從步驟四中低腳位數記憶體的位置讀出資料，最後再經由進行控制權交換的步驟 740 緩衝動作結束一個低腳位數記憶體讀出資料的循環。

請參考圖五。圖五是一個控制低腳位數記憶體寫入的流程圖。圖五的前三步驟與圖四的前三步驟相似。而在此步驟 360 中是針對低腳位數記憶體執行寫入的動作。步驟 460 從輸入訊號接受並門鎖住(latch) 低腳位數記憶體欲寫入的位置。步驟 560 從步驟 460 中低腳位數記憶體的位置寫入資料。步驟 660 執行緩衝動作，以執行控制權的交換和控制權的確定，並結束一個低腳位數記憶體寫入資料的循環。

以上的習知技術雖然可以對韌體記憶體和低腳位數記憶體做存取，但如前所述，這兩種記憶體的讀出或寫入是使用兩套不同的介面控制，所以，在現代電腦系統發展中常將不同規格系統整合於同一個晶片考量下，勢必要將這兩個介面整合成同一介面控制，以達成較低功率消耗、較低成本，以及減少電路構築方塊佈局面積的目的。

【發明內容】

根據本發明之申請專利範圍，係揭露一種存取電腦系統中低腳位數記憶體及韌體記憶體之方法及系統，其包含接收一輸

入訊號，而此輸入訊號包含一記憶體種類旗標，並根據該輸入訊號之記憶體種類旗標存取一指定之低腳位數記憶體或一韌體記憶體。

【實施方式】

如前面所述之習知技術，對於一個低腳位數記憶體的讀取資料是一個一連串做讀取的流程，而對於一個低腳位數記憶體的寫入資料也是一個一連串做寫入的流程，因此，應用傳統寫邏輯程式語言中狀態機(state machine)的概念，對於某一低腳位數記憶體存取的方法直覺上需要兩個狀態機來完成。同理，對於某一低韌體記憶體存取的方法也需要兩個狀態機來完成，因此，對於本發明存取電腦系統中低腳位數記憶體及韌體記憶體的方法直覺上需要四個狀態機才能完成。然而，本發明能夠使用一個狀態機即完成存取電腦系統中低腳位數記憶體及韌體記憶體的動作。

請參考圖六。圖六是本發明中存取低腳位數記憶體及韌體記憶體之方法流程圖。在執行所有動作之前，必須先做一個重設的動作。步驟 180 重設的目的在於把之前所有的指令記憶清除，一方面表示是一個新的動作流程開始，一方面在避免之前所留下的指令對新流程的產生影響。接下來的步驟 280 會接收一個叫做「記憶體種類旗標」的訊號。因為本發明的方法能既存取低腳位數記憶體，也能存取韌體記憶體，所以「記憶體種類旗標」訊號即是用來通知接下來的存取動作是要針對何種記憶體做執行。「記憶體種類旗標」在本發明的較佳實施例中是一連串零或一的數位訊號碼，其中一個訊號碼代表對低腳位數記憶體做動作，而另一個訊號碼代表對韌體記憶體做動作，透過訊號碼比對判斷針對何種記憶體做動作。

一旦記憶體種類確定之後，步驟 380 則在這種記憶體中選出其中一個。因為在電腦系統中，比如說做為基本輸出入系統 (BIOS) 的韌體記憶體常常不只一個，所以，在步驟 380 中必須在複數個低腳位數記憶體或是複數個韌體記憶體中指定出一個記憶體。接下來的步驟 480 是從輸入訊號接受一個位址，並把這個位址以門鎖 (latch) 方式記憶下來，這個位址用來表示之後在低腳位數記憶體或韌體記憶體應該存放或取出的位置。步驟 580 會做一個位址的確認動作。因為輸入訊號是一連串的零和一，如果沒有分辨這些零和一是否為正確的接收訊號，則很容易因為接收錯誤的訊號產生錯誤的動作，所以步驟 580 這個程序在確認從輸入訊號所接受的位址訊號是代表位址的數位訊號，而不是其它無意義的零一數位訊號，一旦完成確認後就繼續進行下個步驟，否則回到一開始的重設步驟 180。

步驟 680 會接收一個叫做「讀寫動作旗標」的訊號。「讀寫動作旗標」用來決定針對所指定的記憶體做讀出還是寫入。「記憶體種類旗標」在本發明的較佳實施例中是一連串零或一的數位訊號碼，其中一個訊號碼代表對指定記憶體做讀出，而另一個訊號碼代表做寫入，但讀出與寫入的過程並不相同。假如決定為寫入資料時，則繼續執行步驟 780，將輸入訊號內所接收欲寫入的資料寫入步驟 480 的位址，完成後繼續進入步驟 880。步驟 880 執行一系列的緩衝動作，在此所謂的緩衝包含控制權的交換，讀寫動作確認和時間緩衝。因為本發明是將讀寫都在同一個狀態機執行，所以必須重覆的執行讀寫動作確認，才能在程序上分辨讀寫的不同，而時間緩衝則是為了等待、平衡因為控制權交換，讀寫程序不同，以及其他動作程序產生的時間差不同。由圖六所示，假如從步驟 680 之後決定做讀取的動作，則會先步驟 880 先執行緩衝，接著才是進入步驟

780 依照步驟 480 的位址將低腳位數記憶體或韌體記憶體中資料讀出，完成資料讀取又再進入步驟 880 的緩衝動作。一旦完成讀出或寫入，則又回到步驟一的重設，開始下一個新的循環。當然，圖六所描述的步驟順序是本發明所提供的較佳實施例，其中的步驟順序可做不同的交換或變化，一樣可能達成存取電腦系統中低腳位數記憶體及韌體記憶體的目的，而且應屬本發明所涵蓋之範圍。

請參考圖七。圖七是本發明中電腦系統 30 的實施例。電腦系統 30 能存取低腳位數記憶體和韌體記憶體的資料。電腦系統 30 包含一位址儲存單元 32，一介面電路 34，低腳位數記憶體 38，以及韌體記憶體 40。而介面電路 34 中又包含一旗標讀取單元 36。介面電路 34 的功能主要在溝通位址儲存單元 32，低腳位數記憶體 38 以及韌體記憶體 40，同時，介面電路 34 也具有邏輯判讀的功能，能根據輸入的訊號指令來決定下一步的動作。起先，介面電路 34 接受輸入訊號中一個代表開始的訊號觸發，執行重設的動作。重設的動作將清除之前介面電路 34 所記錄的指令，以避免受到先前命令訊號的干擾，並啟動接下來讀寫記憶體的步驟。接下來介面電路 34 中的旗標讀取單元 36 會從輸入訊號中讀取一個叫做「記憶體種類旗標」的訊號。「記憶體種類旗標」訊號在通知之後的存取動作是要針對低腳位數記憶體還是韌體記憶體做執行。「記憶體種類旗標」的訊號可以是一連串零或一的數位訊號碼，其中一個訊號碼代表對低腳位數記憶體 38 做動作，而另一個訊號碼代表對韌體記憶體 40 動作。介面電路 34 根據這個訊號做判斷並決定接下來的反應。一旦記憶體種類確定之後，介面電路 34 開始跟低腳位數記憶體 38 或者韌體記憶體 40 溝通。

接著，位址儲存單元 32 從輸入訊號接受一個位址，並把

這個位址記憶下來。這個記憶下來的位址用來表示之後在低腳位數記憶體或是韌體記憶體中應該存放或取出的位置。同時，介面電路 34 會對位址儲存單元 32 儲存的位址做確認，這個程序在確認從輸入訊號所接受的位址訊號是代表位址的數位訊號，而不是其它無意義的零一數位訊號，以避免誤動作的產生。之後，旗標讀取單元 36 繼續讀取一個「讀寫動作旗標」的訊號。「讀寫動作旗標」用來決定針對所指定的記憶體做讀出還是寫入。「記憶體種類旗標」可以是一連串零或一的數位訊號碼，其中一個訊號碼代表對指定記憶體做讀出，而另一個訊號碼代表做寫入。介面電路根據旗標讀取單元 36 中的訊息以及位址儲存單元 32 所記錄的位置來對低腳位數記憶體 38 或者韌體記憶體 40 做讀出或寫入，完成本發明最後的目的。

相較於習知技術用兩個分開的晶片或裝置來完成低腳位數記憶體或韌體記憶體的存取，本發明只需要一個在同一個晶片上的電腦系統，即可完成對低腳位數記憶體或韌體記憶體的存取。而且，本發明所提出的方法能以邏輯程式語言中只有一個狀態機的概念，完成低腳位數記憶體或韌體記憶體的存取步驟，因此，本發明提出的方法和裝置具有較低晶片功率消耗、較低成本、減少電路構築方塊佈局面積以及能將不同規格系統整合於同一個晶片的優點。

以上所述僅為本發明之較佳實施例凡依本發明申請專利範圍，所做之均等變化與修飾，皆應屬本發明專利的涵蓋範圍。

【圖式簡單說明】

圖式之簡單說明

圖一係為習知電腦系統之功能方塊圖。

圖二係為習知控制韌體記憶體讀出的流程圖。

圖三係為習知控制韌體記憶體寫入的流程圖。

圖四係為習知控制低腳位數記憶體讀出的流程圖。

圖五係為習知控制低腳位數記憶體寫入的流程圖。

圖六係為本發明存取低腳位數記憶體及韌體記憶體方法的流程圖。

圖七係為本發明電腦系統之功能方塊圖。

圖式之符號說明

10	電腦系統	12	中央處理器
18	揮發性的記憶體	14	晶片組
16	匯流排	20	儲存裝置
22A、22B 週邊控制器			
100、120、140、160、180	重設		
200	讀出動作判斷		
300、320	識別選取判斷		
400、420、440、460、480	門鎖位址		
500、600、620、540、740、660、880	緩衝		
600、640	讀取資料	220	寫入動作判斷
520、560	寫入資料	240、260	確定低腳位數記憶體存取
340、360	讀寫判斷	280	判斷記憶體種類旗標
380	指定記憶體種類	580	有效位址確認
680	判斷讀寫種類旗標	780	資料
32	位址儲存單元	34	介面電路
36	旗標讀取單元	38	低腳位數記憶體
40	韌體記憶體	30	電腦系統

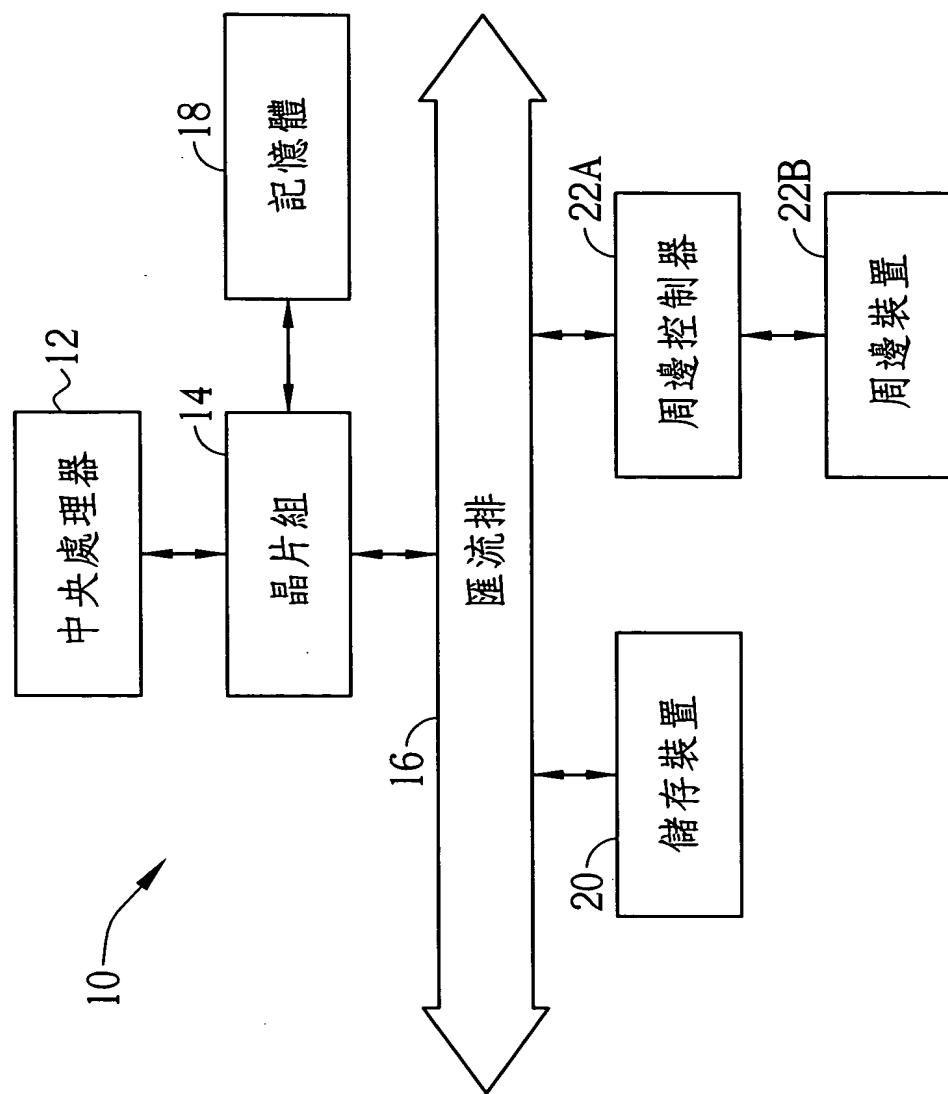
拾、申請專利範圍：

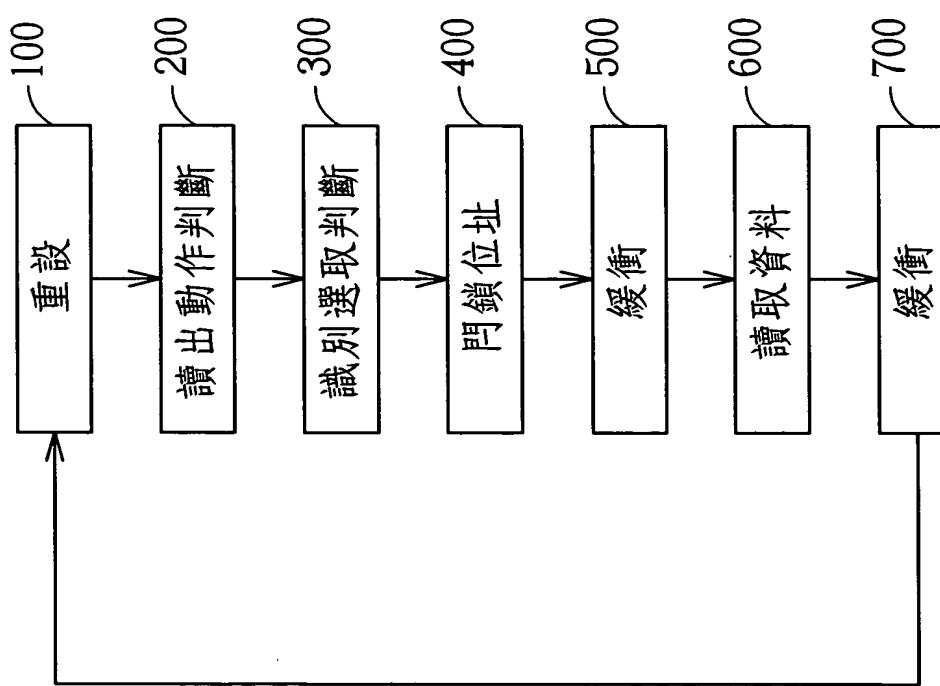
1. 一種存取電腦系統中低腳位數記憶體(Low Pin count Memory)及韌體記憶體(Firmware Memory)之方法，其包含：
 - (a) 接收一輸入訊號，其包含一記憶體種類旗標；
 - (b) 根據該輸入訊號之記憶體種類旗標存取一指定低腳位數記憶體或一韌體記憶體。
2. 如申請專利範圍第 1 項所述之方法，其中該輸入訊號另包含一存取位址，以及一讀寫動作旗標。
3. 如申請專利範圍第 2 項所述之方法，其中步驟(b)包含讀取該存取位址，以存取該低腳位數記憶體或該韌體記憶體中欲做存取的位址。
4. 如申請專利範圍第 2 項所述之方法，其中步驟(b)包含根據該讀寫動作旗標對該低腳位數記憶體或該韌體記憶體做讀出或是寫入的動作。
5. 如申請專利範圍第 1 項所述之方法，其另包含執行一重設的動作，將所有先前所接收指令清除。
6. 一種電腦系統，其包含：
 - 一介面電路，用來接收一輸入訊號，其包含一記憶體種類旗標，該介面電路包含一旗標讀取單元，用來讀取該輸入訊號之記憶體種類旗標，該介面電路能根據該旗標讀取單元讀取之記憶體種類旗標存取一低腳位數記憶體或一韌體記憶體；
 - 一位址儲存單元，用來儲存該低腳位數記憶體或該韌體記憶體的一存取位址。

7. 如申請專利範圍第 6 項所述之電腦系統，其中該輸入訊號另包含該存取位址，以及一讀寫動作旗標，用來決定對該低腳位數記憶體或該韌體記憶體做讀出或寫入的動作。
8. 如申請專利範圍第 6 項所述之電腦系統，其另包含一低腳位數記憶體以及一韌體記憶體。

拾壹、圖式：

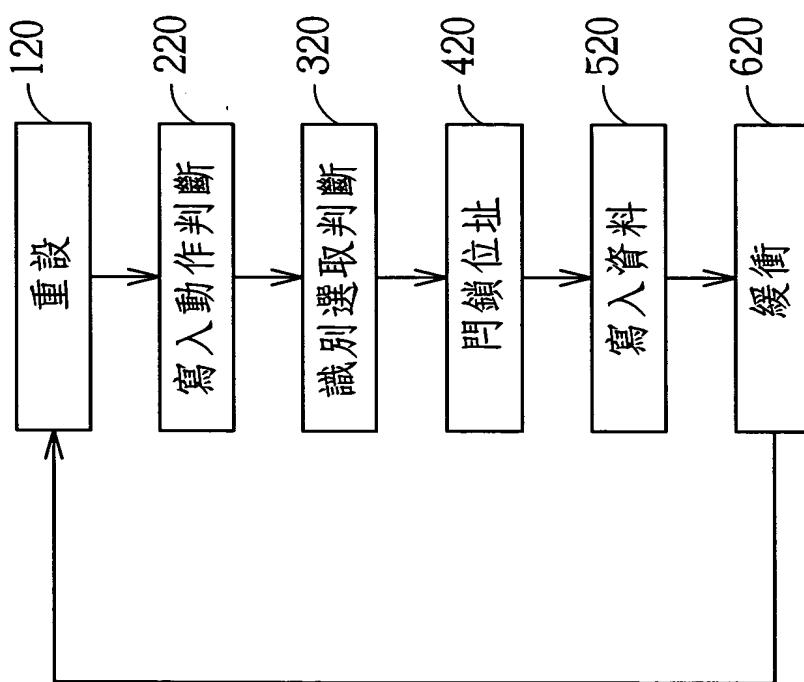
圖一

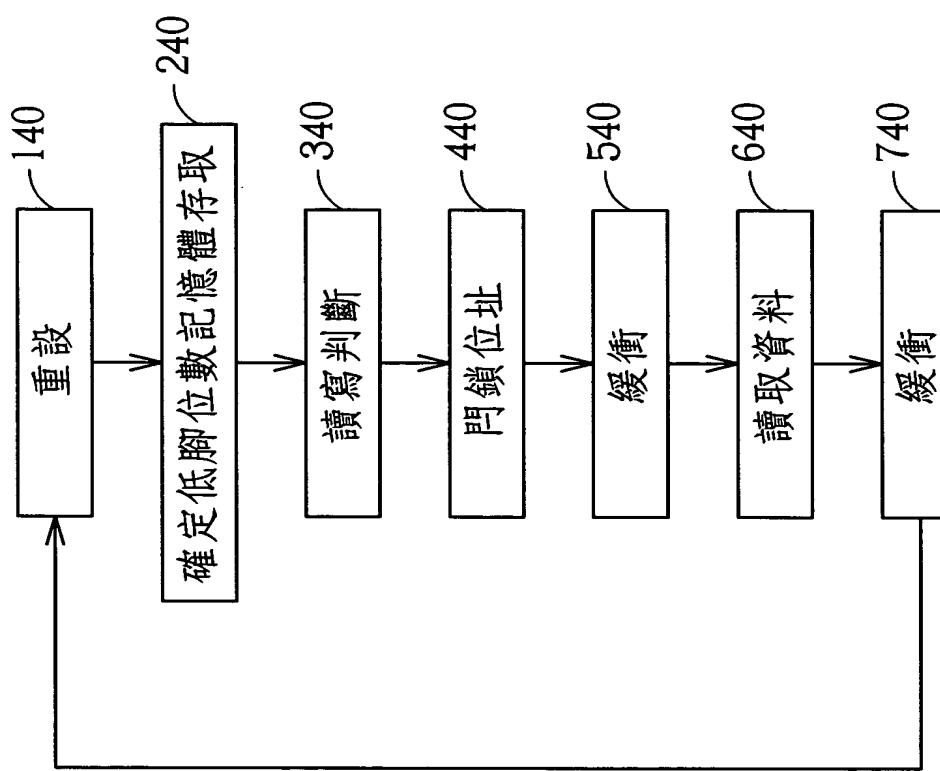




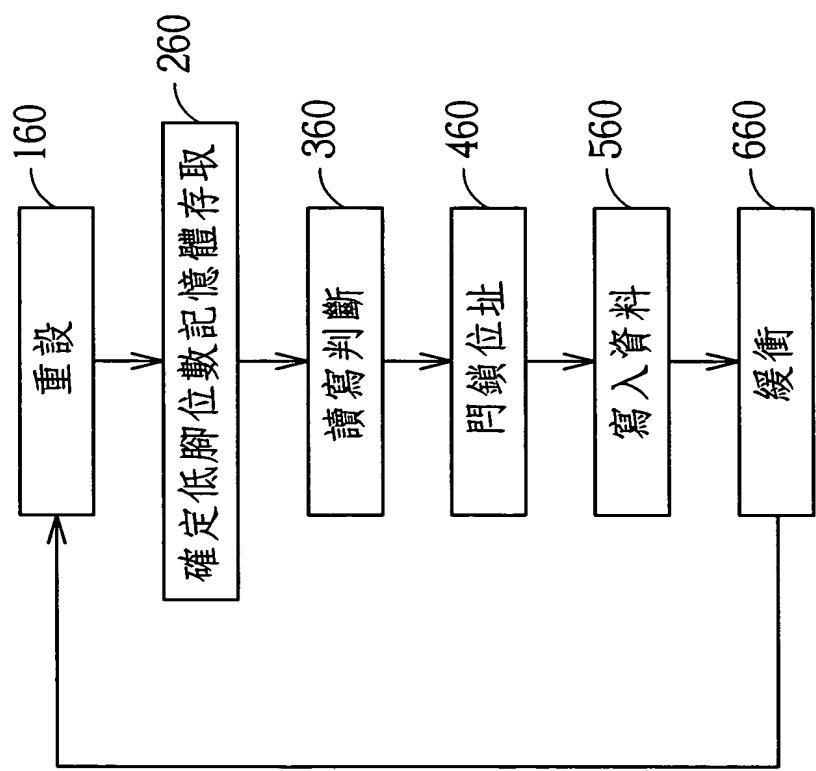
圖二

圖三



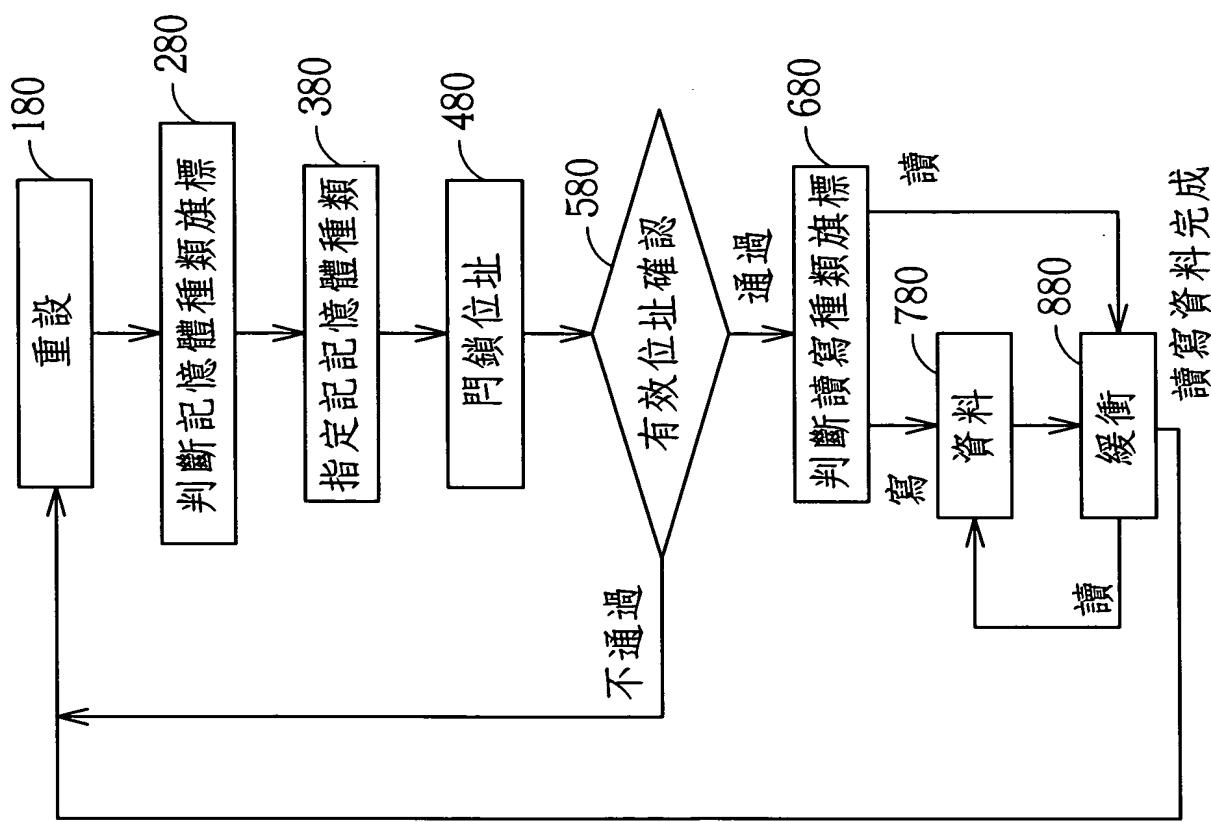


圖四



圖五

圖六



十一

